

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-210743

(43)Date of publication of application : 03.08.2001

(51)Int.Cl.

H01L 23/12

(21)Application number : 2000-013794

(71)Applicant : NEC CORP

(22)Date of filing : 24.01.2000

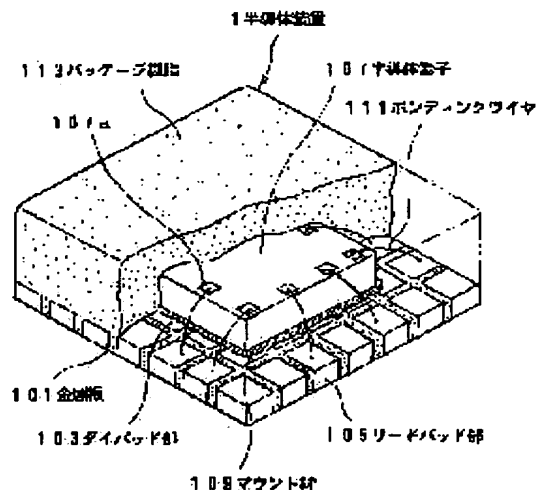
(72)Inventor : AZUMA KOSUKE

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a surface mount semiconductor device having a leadless structure allowing components to be commonly used for different kinds and sizes of semiconductor devices and its manufacturing method.

SOLUTION: Grooves 131 are formed in grid on the surface of a metal plate 101 to section a plurality of divided pieces 133, some of the plurality of divided pieces are used as die pads 103 to mount a semiconductor element 107 with mount members 109, other divided pieces are used as lead pads 105 to electrically connected the semiconductor element 107 through bonding wires 111, the semiconductor element 107 and the bonding wires 111 are sealed with a package resin 113, the backside of the metal plate 101 is polished up to the bottoms of the grooves 131, thus separating the divided pieces 133. According to the size or kind of semiconductor elements, divided pieces constituted as die pads and lead pads are adequately set and the package resin is cut at desired part to realize a leadless and surface mount semiconductor device of a desired size/ kind.



## LEGAL STATUS

[Date of request for examination]

12.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3420153

[Date of registration]

18.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

P-2269

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開 号  
特開2001-210743  
(P2001-210743A)  
(43) 公開日 平成13年8月3日(2001.8.3)

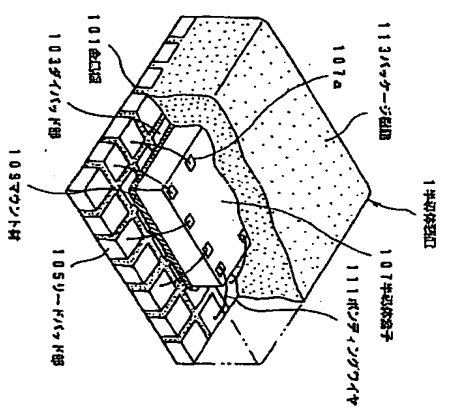
(5) InCl<sub>3</sub>  
H<sub>2</sub>O 23/12  
F I  
H<sub>2</sub>O 23/12  
L  
F  
W

特許請求 有 請求項の図30 OL (全 23 頁)

(21) 出願番号 特願2000-13794(P2000-13794)  
(22) 出願日 平成12年1月24日(2000.1.24)  
(71) 出願人 00000427  
日本電気株式会社  
東京都港区五丁目7番1号  
(72) 発明者 吉澤 浩介  
東京都港区五丁目7番1号 日本電気株式会社社内  
(74) 代理人 100081433  
弁理士 鈴木 孝夫

(34) [発明の名称] 半導体装置及びその製造方法

(57) [要約]  
[課題] 異なる種類やサイズの半導体装置に対して部品の共用化を可能にしたリードレス構造の表面実装型の半導体装置とその製造方法を提供する。  
[解決手段] 金属板101の表面に排目状に凹溝131を形成して複数の分割片133を区画し、これら複数の分割片のうち、一部の分割片をダイバッド部103としてその上にエポキシ樹脂109により半導体素子107を搭載する。また、他の分割片をリードバッド部105として半導体素子107とボンディングワイヤ111により電気接続する。さらに、半導体素子107及びボンディングワイヤ111をエポキシ樹脂109で封止した上で、金属板101の裏面に凹溝131の底に達するまで研磨し、各分割片133を分離する。半導体素子のサイズや種類に応じて、ダイバッド部及びリードバッド部として形成する分割片を適宜に設定し、かつ任意の箇所でエポキシ樹脂を切断することで、任意のサイズ、種類のリードレスの表面実装型の半導体装置が実現できる。



(【特許請求の範囲】)

【請求項1】 半導体素子と、導電板を分割して形成した複数の分割片と、前記半導体素子を封止するとともに前記分割片を前記半導体素子と一体的に支持するエポキシ樹脂とを備え、前記複数の分割片のうち少なくとも一つの分割片は前記半導体素子の電極に電気接続されていることを特徴とする半導体装置。

【請求項2】 前記複数の分割片のうち、一部の分割片はその上に前記半導体素子を搭載するダイバッド部として形成され、前記半導体素子の電極に電気接続される他の分割片は実装用電極としてのリードバッド部として形成されることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記分割片のうち、搭載される前記半導体素子の直下に位置される分割片が前記ダイバッド部として形成され、前記ダイバッド部の周囲に形成されて前記半導体素子の電極にボンディングワイヤで電気接続される分割片が前記リードバッド部として形成される請求項2に記載の半導体装置。

【請求項4】 前記半導体素子は鉛-スズ等のエポキシ樹脂、またはペース状接着剤により前記ダイバッド部に搭載されていることを特徴とする請求項2または3に記載の半導体装置。

【請求項5】 前記分割片のうち、搭載される前記半導体素子の直下に位置される分割片の一部が前記ダイバッド部として形成され、前記分割片の他の一部は前記半導体素子の電極にボンディングワイヤで電気接続されて前記リードバッド部として形成される請求項2に記載の半導体装置。

【請求項6】 前記分割片は、前記導電板を排目状に分割して形成されていることを特徴とする請求項1ないし5のいずれかに記載の半導体装置。

【請求項7】 前記分割片は、厚さ方向における断面形状がエポキシ樹脂状に形成されていることを特徴とする請求項1ないし6のいずれかに記載の半導体装置。

【請求項8】 前記分割片は前記半導体素子の周囲にのみ配置され、前記半導体素子の電極にボンディングワイヤで電気接続されて前記リードバッド部として形成されていることを特徴とする請求項2に記載の半導体装置。

【請求項9】 前記半導体素子は半導体集積回路チップであり、前記半導体集積回路チップに設けられた複数の電極と、前記リードバッド部としての複数の分割片とがそれぞれ電気接続されていることを特徴とする請求項2ないし8のいずれかに記載の半導体装置。

【請求項10】 前記半導体素子はダイオードチップまたはトランジスタチップであり、ダイバッド部としての一つの分割片に前記ダイオードチップまたはトランジスタチップが搭載され、これに隣接する一つまたは二つの分割片がリードバッド部として前記ダイオードチップまたはトランジスタチップの電極が電気接続されていることを特徴とする請求項2ないし8のいずれかに記載の半導体装置。

(【請求項11】 前記リードバッド部としての分割片の裏面にはボール状の電極が形成されていることを特徴とする請求項2ないし10のいずれかに記載の半導体装置。

【請求項12】 前記エポキシ樹脂は、半田ペースまたはエポキシペースである請求項5、6、9、10又は11に記載の半導体装置。

【請求項13】 前記ダイバッド部を構成する分割片の裏面にはエポキシ樹脂が形成されていることを特徴とする請求項2ないし12のいずれかに記載の半導体装置。

【請求項14】 前記半導体素子は、前記ダイバッド部及びリードバッド部の外形寸法よりも小さい外形寸法に形成されていることを特徴とする請求項2ないし13のいずれかに記載の半導体装置。

【請求項15】 前記半導体素子は、前記ダイバッド部及びリードバッド部の外形寸法と等しい外形寸法に形成されていることを特徴とする請求項5、6、9、10、11、12または13に記載の半導体装置。

【請求項16】 導電板の表面に凹溝を形成して複数の区画された分割片を形成する工程と、前記分割片の一部の表面に半導体素子を搭載する工程と、前記半導体素子の電極と前記分割片の他の一部とをボンディングワイヤにより電気接続する工程と、前記導電板の表面にエポキシ樹脂を形成して前記半導体素子及びボンディングワイヤを封止する工程と、前記導電板の裏面に前記凹溝に達するまで研磨して前記分割片を個々の片に分離する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項17】 導電板の表面に凹溝を形成して複数の区画された分割片を形成する工程と、電極にエポキシ樹脂状の半導体素子を前記分割片の一部の表面に搭載しかつ前記エポキシ樹脂と前記分割片の一部とを電気接続する工程と、前記導電板の裏面にエポキシ樹脂を形成して前記分割片を個々の片に分離する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項18】 導電板の表面に排目状の溝1の凹溝を形成する工程と、前記導電板の裏面に前記溝1の凹溝と平面方向にずれた位置に排目状の溝2の凹溝を形成する工程と、電極にエポキシ樹脂が形成された半導体素子を前記溝1及び溝2の凹溝によって区画された複数の分割片の一部の表面に搭載しかつ前記エポキシ樹脂の一部の分割片とを電気接続する工程と、前記導電板の表面にエポキシ樹脂を形成して前記半導体素子を封止する工程と、前記導電板を前記溝1及び溝2の凹溝とは平面方向にずれた位置で切断して前記分割片を個々の片に分離する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項19】 導電板を保持シート上に貼りつけた状態で前記導電板を切断して複数の分割片を形成する工程と、前記分割片の一部の表面に半導体素子を搭載する工程とを含むことを特徴とする半導体装置の製造方法。

工程と、前記半導体素子の電極と前記分割片の他の一部とをボンディングワイヤにより電気接続する工程と、前記電極の表面上に樹脂を成形して前記半導体素子及びボンディングワイヤを封止する工程と、前記保持シートを前記電極から剥離する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項20】導電板を保持シート上に貼りつけた状態で前記導電板を切断して複数の分割片を形成する工程と、電極にバンプが形成された半導体素子を前記分割片の一部の表面上に接合しかつ前記バンプと前記一部の分割片とを電気接続する工程と、前記導電板の表面上に樹脂を成形して前記半導体素子を封止する工程と、前記保持シートを前記導電板から剥離する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項21】導電板の表面に凹部を形成して複数の区画された分割片を形成する工程と、前記導電板の一部領域を裏面側に凹部を形成する工程と、前記導電板の表面にバンプ材により半導体素子を接合する工程と、前記半導体素子の電極と前記凹部の周辺部の分割片とをボンディングワイヤにより電気接続する工程と、前記導電板の表面上に樹脂を成形して前記半導体素子及びボンディングワイヤを封止する工程と、前記導電板の表面を複数の凹部から除去するとともに前記凹部周辺の前記凹部を個々の片に分離する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項22】前記半導体素子として半導体集積回路チップを用いることを特徴とする請求項15ないし21のいずれかに記載の半導体装置の製造方法。

【請求項23】前記半導体素子としてダイオードチップまたはトランジスタチップを用い、前記ダイオードチップまたはトランジスタチップを前記分割片の1つに接合し、他の分割片と前記ダイオードチップまたはトランジスタチップの電極とをボンディングワイヤで接続することを特徴とする請求項16ないし21のいずれかに記載の半導体装置の製造方法。

【請求項24】前記導電板に複数の前記半導体素子を接合し、かつ前記半導体素子と分割片との電気接続の工程、バンプ材の形成工程、及び分割片の分割工程の後に、前記バンプ材を切断して個々の半導体装置に分離する工程を含むことを特徴とする請求項16ないし23のいずれかに記載の半導体装置の製造方法。

【請求項25】前記導電板に複数の半導体素子が形成されている半導体ウェハを接合し、かつ前記半導体素子と分割片との電気接続の工程、前記バンプ材の形成工程、及び前記分割片の分割工程を終了した後に、前記半導体ウェハを切断して個々の半導体装置に分離する工程を含むことを特徴とする請求項17、18、20、または22に記載の半導体装置の製造方法。

【請求項26】前記凹部または第1及び第2の凹部は、ハーフカットダイシング、ハーフエッチングまたはフ

ス加工のいずれかにより形成することを特徴とする請求項16ないし25のいずれかに記載の半導体装置の製造方法。

【請求項27】前記導電板の裏面を研磨またはエッチングにより除去することを特徴とする請求項16ないし25のいずれかに記載の半導体装置の製造方法。

【請求項28】前記半導体素子の接合は銀ペースト等のワット材またはペースト状接着剤を用いることを特徴とする請求項16、19、21、22、23、24、26または27に記載の半導体装置の製造方法。

【請求項29】前記分割片は枠目状に形成することを特徴とする請求項16ないし28のいずれかに記載の半導体装置の製造方法。

【請求項30】前記バンプ材の形成工程は、樹脂の金型成形、コーティングまたはボンドインクによる工程であることを特徴とする請求項16ないし24、26ないし29のいずれかに記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

【0001】  
【発明の属する技術分野】本発明は、表面実装型のリードフレーム構造の半導体装置に関し、特に異なるバンプ材の半導体装置間での部品の共用化を図った半導体装置とその製造方法に関するものである。

【0002】

【従来の技術】半導体集積回路やトランジスタ、ダイオード等の個別部品のバンプ材の小型化、薄型化が図られており、特にバンプ材のサイズに与える影響が大ききリードを無くしたいというニーズに与える影響が大きき半導体装置が提案されている。特に半導体集積回路では、多ピン化を実現するためにはリードフレームのリードピッチを微細化することが要求されるため、これに伴ってリード幅が低減されてその差が低下され、リード曲がりによる短絡が生じ、あるいはリードピッチを確保するためにバンプ材を大型化することが余蘊なくされる。このようになり、リードフレーム構造の半導体装置として、例えば、特開平9-162348号公報の技術は、図36にその断面構造を示すように、素子固定樹脂板301上に半導体素子（素子チップ）303が固定され、その上側及び周囲領域はバンプ材樹脂305により封止されている。また、前記バンプ材樹脂305の突起部分は複数の突起部307が設けられ、これらの突起部分307の表面に金属膜309が形成される。前記金属膜309は、前記バンプ材樹脂305内において半導体素子303に対してボンディングワイヤ311により電気接続され、実装用電極として構成されている。このように、図36の半導体装置では、バンプ材の底面に直接的に実装用電極が形成されるため、リードフレームは不要であり、前記したリードフレームが要因となる不具合を未然に防止し、バンプ材を小型にかつ

薄型に形成する上で有効となる。

【0003】また、この種の半導体装置としては、他に特開平9-252014号公報の技術があり、これは図37に示すように、金属箔を所要のバターンに形成してダイパッド部401と複数の電極部403を形成し、ダイパッド部401に複数の電極部403を形成し、ダイパッド部403の電極部403に対してボンディングワイヤ409の電気接続を行い、その上で半導体素子405及びボンディングワイヤ409を含むバンプ材樹脂411で封止したものである。この半導体装置では、電極部403はバンプ材樹脂411の底面に露出されており、これによりリードフレーム構造でかつ表面実装型の半導体装置が構成でき、バンプ材の小型化、薄型化が実現できる。なお、この技術では、金属箔をバターン形成する前に半導体素子を接合し、ボンディングワイヤを接続した後、金属箔を所要のバターンに形成する技術も提案されている。なお、この技術に近いものとして、特開平10-22440号公報に記載の技術もある。

【0004】さらに、特開平8-115989号公報、及び特開平8-115991号公報には、図38にその断面構造を示すように、板状支持された複数の柱状端子部503を有し、前記柱状端子部503及び柱状端子部503上にバターン層507を介して半導体素子509が搭載され、この半導体素子509を前記バターン層507に対してボンディングワイヤ511で接続することにより、前記バターン層507に設けられている導電バターンによって半導体素子509を各柱状端子部503に電気接続し、その上で半導体素子509やボンディングワイヤ511等を樹脂513で封止した半導体装置が提案されている。この半導体装置では、半導体素子509の下の領域に実装用電極としての柱状端子部503が配置されるため、グリッドパッド構造の半導体装置が実現できる。

【0005】

【発明が解決しようとする課題】以上のような従来の半導体装置では、いずれも組立工数が多く、かつコスト高になるという問題がある。すなわち、図36に示した半導体装置では、バンプ材樹脂305の底面に突起部307を設け、かつこの突起部307の表面に金属膜309を形成する必要があるが、当該公報に記載の製造方法では、予め突起部307に対して面所凹部を設けた金属基材を形成し、その凹部に金属膜309を選択的に形成した上で、半導体素子303の搭載、ボンディングワイヤ311による半導体素子303と金属膜309との電気接続を行い、しかる上でバンプ材樹脂305による封止を行っており、最後に金属基材を除去することにより、半導体装置を製造するものである。このため、金属膜を選択的に形成するための工数が多く、また製造後に

不要になる金属残骸が必要であり、コスト高になる。【0006】また、図37に示した半導体装置では、ダイパッド部401と電極部403を形成する際に金属箔を所要のバターンに形成するためのエッチング工数が必要であり、製造工程が増えるものになる。また、金属箔をバターン形成する際に金属箔を支持しておく基材が必要であり、この基材は半導体装置の製造後には不要になることからみれば、図36の半導体装置と同様に半導体装置のコスト高の要因になる。また、バンプ材に金属箔をバターン形成する場合には前記基材は不要になるが、エッチングを行って行われるため、エッチングに費したバンプ材を耐え保つ必要があるため、製造工程がさらに複雑なものになり、この面でのコスト高の要因となる。

【0007】さらに、図38に示した半導体装置では、柱状端子部501及び柱状端子部503と、その上に搭載される半導体素子509との間に、ボンディングワイヤ511と柱状端子部503を選択的に電気接続するためのバターン層507が必要とされるために構成部品点数が多く、したがってコスト高になることにも製造工数がかかる。製造工数削減のものになる。

【0008】また、前記半導体装置は共通する問題として、特に実装工程の簡略化、さらには異なる個體やサイズの半導体装置を製造する際に、電極部/バターンやサイズ等の設計、製造を最初からやり直し、また各部品として製造しておき、場合によっては半導体素子に適用される導電層の部品を適用しておく必要がある。そのため、製造、及び管理が煩雑なものになるという問題もある。

【0009】本発明の目的は、前述の煩雑化を回避することにも製造工程の簡略化、さらには異なる個體やサイズの半導体装置に於いて部品の共用化を可能にしたリードフレーム構造の表面実装型の半導体装置とその製造方法を提供することである。

【0010】

【課題を解決するための手段】本発明の半導体装置は、半導体素子と、導電板を分割して形成した複数の分割片と、前記半導体素子を封止するとともに前記分割片を前記半導体素子と一体的に支持するバンプ材樹脂とを備え、前記導電板の分割片のうち少なくとも1つの分割片は前記半導体素子の電極に電気接続されていることを特徴とする。

【0011】例えば、第1の形態として、前記導電板の分割片のうち、一部の分割片はその上に前記半導体素子を搭載するダイパッド部として構成され、前記半導体素子の電極に電気接続される他の分割片は実装用電極としてのリードパッド部として構成される。この場合、前記

分割片のうち、搭載される前記半導体素子の直下に位置される分割片が前記ダイパッド部として構成され、前記ダイパッド部の周囲に配置されて前記半導体素子の電極にボンディングワイヤで電気接続される分割片が前記リードパッド部として構成される。あるいは、第2の形態として、前記分割片のうち、搭載される前記半導体素子の直下に位置される分割片の一部が前記ダイパッド部として構成され、前記分割片の他の一部は前記半導体素子の電極にボンディングワイヤで電気接続されて前記リードパッド部として構成される。

【0012】ここで、本発明の半導体装置として、前記分割片は、前記導電板を指目状に分割して形成されることとが好ましい。また、前記分割片は、厚さ方向に沿う断面形状がクランク状に形成されていてもよい。

【0013】また、本発明の第3の形態として、前記分割片は前記半導体素子の周囲にのみ配置され、前記半導体素子の電極にボンディングワイヤで電気接続されて前記リードパッド部として構成されていることを特徴とする。

【0014】本発明が適用される半導体装置として、前記した半導体素子は半導体集積回路チップであり、前記半導体集積回路チップに設けられた複数の電極と、前記リードパッド部としての複数の分割片とがそれぞれ電気接続されている。あるいは、前記半導体素子はダイオードチップまたはトランジスタチップであり、ダイパッド部としての1つの分割片に前記ダイオードチップまたはトランジスタチップが搭載され、これに隣接する1つまたは2つの分割片がリードパッド部として前記ダイオードチップまたはトランジスタチップの電極が電気接続されている。

【0015】また、以上の本発明の半導体装置において、次の形態とすることも可能である。リードパッド部としての分割片の表面にはボール状の電極が接続されていること、前記パッド部、半田、銅、メッキ等で構成されるパッドまたは金ボールパッド、すなわちスワップパッドであること、前記ダイパッド部を構成する分割片の表面にはレジスト膜が形成されていること、前記半導体素子は、前記ダイパッド部及びリードパッド部の外形寸法よりも小さい外形寸法に形成されていること、前記半導体素子は、前記ダイパッド部及びリードパッド部の外形寸法と等しい外形寸法に形成されていることである。

【0016】一方、本発明の半導体装置の製造方法は、第1の製造方法として、導電板の表面に凹溝を形成して複数の凹溝に分割片を形成する工程と、前記分割片の一部の表面に半導体素子を搭載する工程と、前記半導体素子の電極と前記分割片の他の一部とをボンディングワイヤにより電気接続する工程と、前記導電板の表面に樹脂層を形成して前記半導体素子及びボンディングワイヤを封止する工程と、前記導電板の表面を前記凹溝に通ずるまで研削して前記分割片を個々の片に分離する工

程とを含むことを特徴とする。

【0017】第2の製造方法として、導電板の表面に凹溝を形成して複数の凹溝に分割片を形成する工程と、電極にボンディングワイヤが形成された半導体素子を前記分割片の一部の表面に搭載しかつ前記パッドと前記一部との分割片とを電気接続する工程と、前記導電板の表面に樹脂層を形成して前記半導体素子を封止する工程と、前記導電板の表面を前記凹溝に通ずるまで除去して前記分割片を個々の片に分離する工程とを含むことを特徴とする。

【0018】第3の製造方法として、導電板の表面に指目状の第1の凹溝を形成する工程と、前記導電板の表面に前記第1の凹溝と平面方向にずれた位置に指目状の第2の凹溝を形成する工程と、電極にボンディングワイヤが形成された複数の分割片の一部の表面に搭載しかつ前記パッドと前記一部の分割片とを電気接続する工程と、前記導電板の表面に樹脂層を形成して前記半導体素子を封止する工程と、前記導電板を前記第1及び第2の凹溝とは平面方向にずれた位置で切断して前記分割片を個々の片に分離する工程とを含むことを特徴とする。

【0019】第4の製造方法として、導電板を保持シート上に貼りつけた状態で前記導電板を切断して複数の分割片を形成する工程と、前記分割片の一部の表面に半導体素子を搭載する工程と、前記半導体素子の電極と前記分割片の他の一部とをボンディングワイヤにより電気接続する工程と、前記導電板の表面に樹脂層を形成して前記半導体素子及びボンディングワイヤを封止する工程と、前記保持シートを前記導電板から剥離する工程とを含むことを特徴とする。

【0020】第5の製造方法として、導電板を保持シート上に貼りつけた状態で前記導電板を切断して複数の分割片を形成する工程と、電極にボンディングワイヤが形成された半導体素子を前記分割片の一部の表面に搭載しかつ前記パッドと前記一部の分割片とを電気接続する工程と、前記導電板の表面に樹脂層を形成して前記半導体素子を封止する工程と、前記保持シートを前記導電板から剥離する工程とを含むことを特徴とする。

【0021】第6の製造方法として、導電板の表面に凹溝を形成して複数の凹溝に分割片を形成する工程と、前記導電板の一部領域を裏面側に形成して表面側に凹溝を形成する工程と、前記導電板の前記凹溝内に樹脂材により半導体素子を搭載する工程と、前記半導体素子の電極と前記凹溝の周辺部の分割片とをボンディングワイヤにより電気接続する工程と、前記導電板の表面に樹脂層を形成して前記半導体素子及びボンディングワイヤを封止する工程と、前記導電板の前記凹溝の領域を裏面側から除去するとともに前記凹溝周辺の前記分割片を個々の片に分離する工程とを含むことを特徴とする。

【0022】また、本発明の製造方法として、次の形態での製造が採用される。すなわち、前記導電板に複数の

前記半導体素子を搭載し、かつ前記半導体素子と分割片との電気接続の工程、ボンディング樹脂の成形工程、及び分割片の半導体装置に分離する工程を含むことを特徴とする。また、前記導電板に複数の半導体素子が形成されている半導体ウエハを搭載し、かつ前記半導体素子と分割片との電気接続の工程、前記ボンディング樹脂の工程、及び前記分割片の分離工程を終了した後に、前記半導体ウエハを切断して個々の半導体装置に分離する工程を含むことを特徴とする。

【0023】以上の製造方法において、前記凹溝または第1及び第2の凹溝はハーファットダイシング、ハーファエッチングまたはプレス加工のいずれにより形成する。また、前記導電板の裏面を研削またはエッチングにより除去する。さらに、前記半導体素子の搭載は銅ペースト等のペースト付またはテープ状接着剤を用いる。また、前記分割片は指目状に形成する。さらに、前記ボンディング樹脂の成形工程は、樹脂の成型成形、コーティングまたはボンディングによる工程とする。

【0024】本発明の半導体装置では、導電板から複数の分割片を形成し、この分割片に対して半導体素子の電極を電気接続してリードパッド部を構成している。この分割片を適宜に設定することで、異なるサイズ、種類の半導体素子に対して分割片を汎用的に使用してボンディングを構成することが可能になる。また、分割片の一部でダイパッド部を構成して半導体素子を搭載し、分割片の他の一部をリードパッド部としてボンディングワイヤにより電気接続した構成とし、あるいは半導体素子の電極に設けたパッドを分割片に対して電気接続してリードパッド部を構成することにより、半導体素子をフェースアップ、あるいはフェースダウンの状態で作成でき、また、リードパッド部をボンディングの周辺部に配置し、あるいは底面側に格子上に配置する等、同一の導電板を用いて異なるサイズ及び種類のリードパッド構造の表面実装型の半導体装置を構成することが可能となる。

【0025】また、本発明の半導体装置の製造方法では、導電板に凹溝を形成して分割片を区画し、その分割片上に半導体素子を搭載し、かつ半導体素子と分割片とを電気接続し、しかる上で導電板の裏面側を除去して分割片を分離している。このため、半導体素子の搭載、及び半導体素子と分割片との電気接続、さらにボンディング樹脂工程をそれぞれ容易に行うことができる。一方で、最終的に絶縁分離された複数の分割片で構成されるリードパッド部を有する半導体装置が製造できるので、部品点数や製造工数がいらずに増大することがなく、製造工程を簡略化することが可能になる。

【0026】  
【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1は本発明を半導体集積回路に通

用した第1の実施形態の一部を切断した外観斜視図、図2(a)、(b)はその内部構成の平面図と中心位置での縦断面図である。この半導体装置1は、導電板101の底面に図101で構成されるダイパッド部103及びリードパッド部105と、前記ダイパッド部103に銅ペースト等のペースト付109により搭載されている半導体素子（半導体集積回路チップ）107と、前記半導体素子107の電極パッド107aと前記リードパッド部105とを電気接続するボンディングワイヤ111と、前記半導体素子107及びボンディングワイヤ111を覆ってこれらを封止し、かつその一部が前記ダイパッド部103とリードパッド部105との間に侵入してダイパッド部103とリードパッド部105とを一体化したボンディング樹脂113とを備えて構成されている。ここで、前記ダイパッド部103とリードパッド部105とは、後述するように、一つの所状の金属板101から分割された面と分割片のうち、中央領域の複数の分割片によって前記ダイパッド部103が形成され、またその周囲に配置される複数の分割片によって前記リードパッド部105が形成されている。また、この実施形態では、前記ダイパッド部103の表面には絶縁性材料からなるレジスト膜115が形成されており、前記ダイパッド部103を構成する分割片がボンディングの底面に露呈しないように構成されている。

【0027】このような半導体装置1を実装基板上に実装する際には、図3(a)に示すように、所望のパターンに形成された導電膜からなる配線回路123を裏面に有する実装基板121上に前記半導体装置1を配置し、前記配線回路123上に印刷法等により設けられている半田125を加熱によりフローして前記半導体装置1の実装用電極としてのリードパッド部105を配線回路123に半田付けすることにより行われる。あるいは、図3(b)に示すように、前記半導体装置1のリードパッド部の底面に半田ボール127を積層しておき、当該半田ボール127を実装基板121の配線回路123に押圧かつ加熱して半田ボール127により接合することにより行われる。なお、この半田ボール127を使用する際には、ダイパッド部103の電極が配線回路123に接触するおそれがあるため、前記したレジスト膜115を省略することが可能である。

【0028】図4ないし図9は前記第1の実施形態の半導体装置の製造方法を工程順に示す図である。先ず、図4において、(a)は平面図、(b)は中央部分の縦断面図であり、平面形状が矩形、あるいは427マイクロメートル程度の正方形をした銅、あるいは427マイクロメートルの金属板101を用意し、前記金属板101の表面にX方向、Y方向にそれぞれ複数の凹溝131を形成する。この凹溝131は、例えば半導体ウエハを個々のチップ

に切断する際に用いられるダイシングノギ等を用いて前記金属板101の厚さのほぼ1/2の深さまで凹溝を形成するハーフカットダイシングにより行われる。これにより、前記金属板101の表面側の部分は前記X方向及びY方向の複数本の凹溝131によって排目状（マトリクス状）に区画された状態となる。なお、前記凹溝131の形成は、金属を用いて金属板101の表面に溝状の凹部を形成するプレス加工、あるいはフォトリソグラフィ技術を利用したエッチング法によって形成することも可能である。ここで、前記凹溝131の幅は半導体装置によって異なるが、端子間の絶縁性を維持する幅にすることが好ましい。また、前記凹溝間の領域、すなわち凹溝131によりマトリクス状に区画された個々の片（以下、この区画された個々の片は最終的にはそれぞれ分離されるため、ここでは分割片と称する）133の縦横寸法は構成する半導体装置のボンディング法と、外部端子法によって決定される。

[0029] 次いで、図5において、(a)は平面図、(b)は中央部分の縦断面図であり、前記金属板101の表面上に半導体素子107を搭載する。この搭載では、例えば、半導体素子107の電極107aをウェンツ材109とし、半導体素子107の電極107aを表面上に向けた姿勢で、半導体素子107の表面を前記金属板101の表面の、前記凹溝131によって区画された複数の分割片133の上面に接離させる。なお、このとき、前記ウェンツ材109は搭載した半導体素子107の直下の領域においては前記凹溝131内にまで侵入して凹溝131内に埋設されるため、当該半導体素子107の直下の領域の分割片133はウェンツ材109により一体化され、これらの分割片133は前記ダイバッド部103を構成することになる。

[0030] 次いで、図6において、(a)は平面図、(b)は中央部分の縦断面図であり、前記半導体素子107の電極107aと、前記半導体素子107の周辺に配設される分割片133の上面とをそれぞれボンディングワイヤ111により接続する。このとき、ボンディングワイヤ111が接続される分割片133は、前記ウェンツ材109によって一体化されていない分割片が選定される。すなわち、前記ウェンツ材109によって一体化されてダイバッド部103を構成する分割片の外側に配設される全て、あるいは選択された一部の分割片133が選定され、これらの分割片133は前記リードバッド部105を構成することになる。

[0031] 次いで、図7において、(a)は平面図、(b)は中央部分の縦断面図であり、前記金属板101を個々の構造体形成用型装置にセットし、前記金属板101の表面上に樹脂をモールド形成する。あるいは、金属板101の表面上に樹脂を所望の厚さに塗布する。これにより、前記ボンディング樹脂113が形成される。このボンディング樹脂113によって前記金属板101上の半

導体素子107及びボンディングワイヤ111は樹脂封止される。このとき、半導体素子107の直下の前記ダイバッド部103としての分割片133と、周辺部の前記リードバッド部105としての分割片133とを区画している凹溝131内に前記ボンディング樹脂113の一部が充填される。当該ボンディング樹脂113によってリードバッド部105としての分割片133は、隣接する分割片133が相互に、及びダイバッド部103としての分割片133にそれぞれ接離を保った状態で一体化されることになる。

[0032] 次いで、図8において、(a)は底面図、(b)は中央部分の縦断面図であり、前記金属板101の裏面側を少なくとも1/2の厚さ以上に研削する。この研削には機械的な研削方法、あるいはエッチングによる化学的な研削方法を採用することが可能である。そして、この研削により、前記金属板101の前記凹溝131の底面部分が露出することになり、結果として前記各分割片133は前記凹溝131によって完全に切断分離された分割片として構成されることになる。ただし、前記したように、各分割片133は、前記ウェンツ材109、あるいはボンディング樹脂113によって相互に一体化された状態に保持されており、各分割片133が分離されることはない。その後、図2に示したように、半導体装置101の底面、前記ダイバッド部103を構成する分割片133が延在する領域にわたって絶縁性のレジスト膜115を選択的に塗布し、あるいは印刷法により形成し、ダイバッド部103の底面を絶縁膜化する。なお、ボンディング分割後、絶縁性のレジスト膜115を塗布してもかまわない。

[0033] 次いで、図9において、(a)は底面図、(b)は中央部分の縦断面図であり、前記ボンディング樹脂113を前記リードバッド部105としての周辺の分割片133の外側の凹溝131に沿ってフルカットダイシングにより切断する。これにより、外形が矩形で、かつその底面の周辺に沿って配列される複数の分割片133で構成されるリードバッド部105を有する前記半導体装置101が形成される。これにより、底面の周辺部に前記リードバッド部105としての分割片133の導電性面がそれぞれ露呈された状態で残され、これらの分割片133が受発用電極として機能することになり、図1に示した半導体装置101が完成される。なお、パワー半導体素子107を搭載した半導体装置のように、ダイバッド部103での放熱性を高めることが要求される場合には、前記レジスト膜115は形成しない構成とする。

[0034] このように第1の実施形態の半導体装置では、個々の凹溝131を形成した金属板101に半導体素子107をウェンツ材109により搭載し、しかる上で半導体素子107の周囲に配設されていてウェンツ材109により一体化されていない分割片133に対して半導体素子107の電極107aをボンディングワイヤ

111により接続を行ない、その上でボンディング樹脂113による封止を行うことで半導体装置101を製造することが可能である。このとき、金属板101はハーフカットダイシングしたのを用い、その後金属板101を個々の分割片133として分割しているため、従来の技術で用いていたように複数のバッド部を支持しておくための基材が不要となり、部品点数削減できる。また、ボンディング樹脂113での封止後における金属板101が複雑化することはない。さらに、リードバッド部105と半導体素子107の電極107aとを電気接続するためのバタング層も不要であり、構成が簡易であるとともに、製造工程も簡略化できることになる。

[0035] また、金属板101に形成した凹溝131によって分割される複数の分割片133をダイバッド部103として構成し、あるいはリードバッド部105として構成することについては、任意の分割片133を自由に選択することが可能である。したがって、例えば、サイズ（外形寸法）が異なる半導体素子、あるいは電極が異なる半導体素子についても同一の金属板を用いて半導体装置を製造することが可能になる。図10はその一例を示す図であり、同図(a)は図1に示した半導体素子107を搭載した半導体装置101の縦断面図、同図(b)はそれよりもサイズが大きな半導体素子107aを搭載した半導体装置101の縦断面図である。両者は共に同じ工程で各半導体素子107、107aをそれぞれ同じ凹溝131が形成された金属板101の表面上に搭載しているが、半導体素子107、107aのサイズの違いによりウェンツ材109により一体化される分割片133の数、すなわちダイバッド部103の平面領域が相違している。また、これに伴い、半導体素子107、107aの周辺部に配設される分割片133、すなわちリードバッド部105が相違している。したがって、この状態でボンディング樹脂113による封止を行ない、かつリードバッド部105の外側にボンディング樹脂113を切断することで、それぞれ異なるボンディング法の半導体装置101が製造されることになる。そして、この場合においても、前記したように金属板101は同一のものを使用しているため、このことから同一の金属板101を用いて異なるサイズの半導体素子107、107aを搭載した異なるサイズの半導体装置101Aを製造することが可能であることになる。また、図示は省略するが、電極数や電極配設位置が異なる半導体素子を搭載した場合には、リードバッド部として利用する分割片の個数や、各分割片に対するボンディングワイヤの接続を相違させることにより各半導体素子を用いた半導体装置を容易に実現することが可能である。

[0036] 次に、前記第1の実施形態の変形例について説明する。図11(a)、(b)は第1の変形例の平面図と縦断面図である。ここでは前記図5の工程におい

て半導体素子107を金属板に搭載する際に、ウェンツ材としてウェンツ材117を用いている。このウェンツ材117は両面接着構造のテープであり、ウェンツ材117の下面を金属板101に形成されている分割片133の表面に接離し、上面に半導体素子107の表面を接離している。その後の工程は前記した図9以降の工程と同様である。したがって、この構成では、半導体素子107を金属板に搭載する工程は単にウェンツ材117を金属板101の表面に貼り付け、その上に半導体素子107を載置するだけでよく、ウェンツ材を塗布する工程と比較して組立を容易に行うことが可能となる。また、この構成では半導体素子107の直下のダイバッド部103を構成する複数の分割片133はウェンツ材117によって相互に一体化されることになるが、その一体化強度を高めるためには、たとえば後工程でのダイバッド部113により封止を行う工程時に、図12(a)、(b)に示すように、ボンディング樹脂113の一部をダイバッド部103の分割片133間の凹溝131内にまで侵入させ、ボンディング樹脂113により一体化強度を高めることが好ましい。

[0037] また、第2の変形例を図13(a)、(b)の平面図と縦断面図に示す。この変形例では、図7のボンディング樹脂113により封止を行う工程において、ボンディング樹脂113を半導体素子107の直上からボンディング（滴下）してボンディング封止を行っている。その後の工程は前記した同様である。この構成では、ボンディング樹脂113の表面は樹脂滴みによってその表面形状を円盤状、あるいはボンディング樹脂113を切断して個々の半導体装置101が形成される際に、切断面側の樹脂の厚さが小さくなるため樹脂部分を切断する必要がほとんどなく、切断工程が容易になる。なお、ボンディング樹脂は比較的粘度の低いものも存在するため、成型によって個々の半導体装置101を切断するので、切断コストを低減できる。また、完成された半導体装置101の一部が歪みが生じることがなく、ボンディング樹脂113の割れや欠けが発生する確率が小さくなる。

[0038] 次に本発明の第2の実施形態を製造工程順に説明する。第1の実施形態の図1の工程のように、金属板をハーフカットダイシングして排目状の凹溝を形成し、分割片を形成した後、図14(a)、(b)の平面図、縦断面図のように、半導体素子107をウェンツ材109状態で金属板101上に搭載する。図15は前記半導体素子107の表面の周辺領域に沿って電極107aが配設されている。前記電極107aの配設位置は、前記金属板101に形成されている個々の分割片133に対応する位置とされる。なお、この変形形態では、電極107aは分割片133に対して点状にボンディング法で半導体素子107の周辺に沿って配設されている。そして、当

電極107aには半田あるいは金等の金属からなるボールド状をした、あるいは選択的にメッキ形成したペンツ119が形成されている。したがって、前記半導体素子107bを、その表面を金属板101に向けて加熱、圧着することでペンツ119を対応する分割片133の表面に接合させ、半導体素子107bの各電極107aをそれぞれ分割片133に電気接続することが可能である。

(10039) その後、図16(a)、(b)に平面図と縦断面図を示すように、前記第1の実施形態の第1の変形例と同様に、半導体素子107bの直下の金属板101と半導体素子107bとの間、ないし各分割片133間の凹溝131内にまでペンツ119による封止を行った後、図17(a)、(b)に底面図と縦断面図を示すように、金属板101の裏面側を前記凹溝131の底面側に達するまで研削する。この研削により、前記金属板101の前記凹溝131の底面側が露出されることになり、結果として前記分割片133は前記凹溝131により完全に切断分割された分割片として構成されることになる。このとき、各分割片133は、前記バツグエジ樹脂113によって相互に一体化された状態に保持されており、各分割片133が分ち、半導体素子107bのペンツ119に接合された分割片133はリードバツグエジ05を構成し、実装用電極となる。また、ペンツ119が接合されていない分割片133は、前記リードバツグエジ05とは絶縁を保った状態で半導体素子107bを保持するためのダライド部103として構成されることになる。なお、その後は図示は省略するが、第1の実施形態と同様にバツグエジ樹脂113をリードバツグエジ105の外側に沿って研削することで、半導体装置が完成される。

(10040) なお、この実施形態において、図18(a)、(11)に底面図と縦断面図を示すように、リードバツグエジ105として分割片133の裏面に半田ボール127を形成してもよい、このように構成すれば、図3(11)に示したと同様に、半田ボール127を利用して半導体装置を実装基板上に実装することが可能になる。

(10041) ここで、前記第3の実施形態では、金属板にそれぞれチップ化された半導体素子を搭載して半導体装置を構成した例を示しているが、チップ化された前のウェハ状態の半導体素子を用いて製造することも可能である。この技術を用いた第3の実施形態として説明する。図19及び図20は第3の実施形態を製造工程順に示す図である。まず、図19に示すように、円板状をした半導体素子203を分割形成し、かつ各半導体素子203の周辺部にそれぞれ前記第2の実施形態と同様にバツグエジ05を配列形成する。なお、このシリコングエハ201に

おける前記半導体素子203の製造技術については、周知の技術がそのまま適用できるため、ここではその説明は省略する。一方、前記シリコングエハ201の外壁にはほぼ等しい辺寸をした正方形の金属板101に対して前記実施形態と同様にハーゲンダイシングにより所定形状の凹溝131を形成し、分割片133を形成する。また、このとき各分割片133の配列ピッチ法は、前記半導体素子203に形成したバツグエジ05の周辺に沿ったピッチ法、あるいは格子状配列のピッチ法に等しくする。

(10042) 次に、図20(a)のように、前記シリコングエハ201の裏面を金属板101に向けて加熱押圧し、シリコングエハ201のバツグエジ05を金属板101の各分割片133にフェースグランドにより接合する。次いで、図20(b)のように、前記シリコングエハ201と金属板101との間の空間、すなわち金属板の凹溝131内にシリコングエハ201のスタツドバツグエジ05間に樹脂135を充填し、前記空間を封止する。次いで、図20(c)のように、前記金属板101を前記凹溝131の底面側が露出するまで、すなわち前記凹溝131内に充填した樹脂135が露出するまで裏面側を研削する。この研削により、図々の分割片133は分離されるが、凹溝131内に充填されている樹脂135によって各分割片133は相互に絶縁を保ったまま一体化された状態となる。また、これにより、前記バツグエジ05が接合されている分割片133はリードバツグエジ105としての実装用電極となる。なお、図20(d)のように、図々のダイシングノグリを用いて、前記シリコングエハ201及び金属板101を半導体素子203のダイシングライン(スライヤライン)に沿ってフルカットダイシングする。これにより、シリコングエハ201は図々の半導体素子203に分割され、かつこれと共に金属板101も樹脂135の部分において分割され、半導体装置2が製造される。また、前記分割の前、あるいは後に前記リードバツグエジ105の裏面に半田ボール137を形成する。

(10043) この第3の実施形態の半導体装置2の構成は前記第1の実施形態の半導体装置1の変形例の構成と同様であるが、この半導体装置2では、半導体素子203とリードバツグエジ105とが同一外形寸法に形成され、かつ半導体素子を配置して封止するためのバツグエジ樹脂が半導体素子を囲う状態で存在していないため、半導体装置をより小型にかつ薄型に製造することが可能である。また、バツグエジ樹脂は不要であり、シリコングエハ201と金属板101との空間を充填する樹脂135を用いるだけであるので樹脂の量が低減でき、低コスト化にも有利である。さらに、その製造工程においては、シリコングエハ201を半導体素子203に分割する際のダイシングと、金属板101における樹脂135

のダイシングとを同時に行うことが可能であり、しかも複数のチップ状の半導体素子を金属板に面々に搭載する工程が省略できるため、製造工程全体を簡略化することが可能である。

(10044) 前記第3の実施形態の変形例を図21〜図23に示す。この実施形態では、リードバツグエジ105及びダイバツグエジ103を構成する分割片の断面形状をクランク状に形成し、半導体装置を実装基板上に実装した際に半導体装置と実装基板との間に生じる熱応力をリーバツグエジ105において緩和し、実装状態の信頼性を高めるようにした半導体装置の例である。シリコングエハは前記第3の実施形態と同じに形成されているが、金属板101は、図21に一部を拡大して示すように、正方形をした金属板101には、その表面側から厚さの約40〜50%の深さまでそれぞれXY方向に延びる排目状の凹溝131を形成する。また、前記金属板101の裏面側にも厚さの約40〜50%の深さまでXY方向に延びる排目状の凹溝131Aを形成する。ここで、図22(a)に示すように、表面側の凹溝131(同図実線)131と裏面側の凹溝131A(同図点線)131Aは溝幅寸法と溝ピッチ寸法が同一であるが、両者の溝位置は、XY方向に対して45度の角度方向で、かつほぼ各凹溝131、131Aの溝幅寸法だけずらした配置となっている。

(10045) そして、図23(a)のように、前記第3の実施形態と同様に、前記シリコングエハ201のバツグエジ05を前記金属板101の表面側の分割片133に接合し、かつ図23(b)のように、シリコングエハ201と金属板101との間に樹脂135を充填する。しかる上で、図23(c)のように、前記金属板101の裏面にレジストマスク139を形成する。このレジストマスク139は、前記金属板101のリードバツグエジ105及びダイバツグエジ103として残す領域を覆うものであり、図22(11)のように、前記表面側の凹溝131と裏面側の凹溝131Aと同じでピッチでXY方向に規則的に配置された波びな矩形の電極型のバツグエジとして形成され、前記金属板101の裏面側から前記表面側の凹溝131と裏面側の凹溝131Aを透視したときに、凹溝131、131Aの各一部を覆う位置に設定される。そして、前記レジストマスク139を用いて前記金属板101を全周にわたってエッチングすることで、それぞれ独立した分割片133が形成される。したがって、分割された各分割片133は、その厚さ方向の断面形状が、図23(d)のように、クランク状に形成されることになる。また、分割された各分割片133のうち、前記シリコングエハ201のバツグエジ05に接合されている分割片はリードバツグエジ105として構成され、当該バツグエジ05による接合と前記樹脂135によって、シリコングエハ201に一体化される。

(10046) しかる後、図23(e)のように、ダイシングノグリによってシリコングエハ201及び金属板101を所望のサイズに切断して分割することで、図々の半導体装置2が形成されることになる。なお、この場合、金属板101は前工程のエッチングにより既に分離されているため、実際にはシリコングエハ201を切断分離するだけでよい。この半導体装置2Aでは、リードバツグエジ105がクランク状に曲げ形成されているため、半導体装置2Aを図3のように実装基板上に実装したときに、実装基板と半導体装置(半導体素子)との間の熱膨張率の違いによりリードバツグエジ105に応力が加えられたような場合でも、リードバツグエジ105のクランク状の曲げ部において当該応力を吸収することができ、リードバツグエジ105と実装基板との接合が破損されるようなことがなく、実装の信頼性を向上することが可能となる。なお、図示は省略するが、前記分割の際に樹脂を充填して裏面側を平坦化した後、各リードバツグエジの裏面に半田ボールを接合し、あるいは半田バツグエジ等を用いた構成としてもよく、このようにしてリードバツグエジにおける応力の緩和機能が損なわれることはない。

(10047) 次に前記第3の実施形態の第2の変形例を説明する。前記第1の変形例は、前記金属板101(裏面にレジストマスク139を形成し、選択的にエッチングを行うこと)によって半導体装置を完成していたが、排目状に形成する凹溝の幅を拡大することによってエッチングによる金属板の選択的な除去が必要となる。これを第1の変形例の図23を再度参照して説明する。第2の変形例の半導体装置は、第1の実施形態で示した図19と同様に円板状をした半導体素子203を分割形成し、かつ各半導体素子の周辺部にそれぞれ前記第2の実施形態と同様にバツグエジ05を配列形成する。一方、前記シリコングエハの外壁にはほぼ等しい辺寸をした正方形の金属板101に対して、その表面側に排目状に凹溝131を厚さの約40〜50%の深さまで形成し、分割片133を形成する。また、このとき各分割片133の配列ピッチ法は、前記半導体素子に形成したバツグエジ05の周辺に沿ったピッチ法、あるいは格子状配列のピッチ法に等しくする。

(10048) 次に、図24(a)〜図24(e)の裏面図と縦断面図を示すように、シリコングエハ201のバツグエジ05を金属板101の各分割片133にフェースグランドにより接合する。次いで、前記シリコングエハ201と金属板101との間の空間、すなわち金属板の凹溝131内にシリコングエハ201のスタツドバツグエジ05間に樹脂135を充填し、前記空間を封止する。次いで、金属板101の裏面側を金属板の厚さの約50%の深さまでXY方向に延びる排目状の凹溝131Aを形成する。ここで、図24(e)と同様に、表面側の凹溝131と裏面側の凹溝131Aは溝幅寸法と溝ピッチ寸法が同一であるが、両者の溝位置はXY方向に対して45

5度角の方向で、かつ四角の隅端寸法よりも小さい寸法でずらした配設となっている。このように裏面側から凹溝131Aを形成することによって、それぞれ独立した分割片が形成される。したがって、分割された各分割片は、その厚さ方向の断面形状がウラン状に形成されることになる。しかる後、ダイシングによってシリコングエハ及び金属板を所要のサイズに切断して分割すること、図々の半導体装置が形成されることとなる。なお、この場合、金属板は前工程の裏面側の凹溝形成寸法に分離されているので、実際にはシリコングエハを切断分離するだけでよい。

[0049] 次に、図24～図26を用いて本発明の第4の実施形態を説明する。この実施形態では、金属板を最初からフルカットダイシングして分割片を形成し、当該分割片によってダイバッド部とリーバッド部を構成するものである。図24(a)、(b)の平面図、縦断面図に示すように、所要の寸法の金属板101の裏面に粘着シート141を貼り付ける。この粘着シート141は後工程において分割される分割片を保持するものとして、その平坦性を確保できる程度の厚さ、剛性を有するものである。その上で、図25(a)、(b)の平面図、縦断面図に示すように、前記金属板101を表面側からフルカットダイシングし、金属板にXY方向に延びる溝131Bを形成して積目状の分割片133を形成する。これらの分割片133はそれぞれ完全に分離されているが、前記粘着シート141によって最初の配列状態が保たれている。

[0050] 次に、以降は第1の実施形態の図6から図9の工程と同様であるので、図26に断面図のみを示すように、先ず図26(a)のように、ワグント材109により半導体素子107を前記金属板101の表面に搭載する。そして、図26(b)のように、半導体素子107の電極と、半導体素子107の外周に位置されるリーバッド部となる分割片133に対してボンディングワイヤ111での電気接続を行い、その上で図26(c)のように、金属板101の表面上に樹脂113をモールドあるいは塗布し、前記半導体素子107及びボンディングワイヤ111を封止するパッケージ樹脂113を形成する。しかる後、図26(d)のように、金属板101の裏面に貼り付けてある粘着シート141を剥がすことにより、前記実施形態のような金属板101の裏面側の研削面を行うことなく、既に溝131Bによって分割された状態にある分割片133を分離した状態にすることができ、第1の実施形態と同様な半導体装置が形成できる。なお、図示は省略するが、複数の半導体素子を一括してパッケージ樹脂で封止している場合には、パッケージ樹脂を切断分離することで、図々の半導体装置の製造が実現されることになる。なお、金属板101の裏面のダイバッド部103を構成する分割片133の裏面に、図2に示したようなレジスト膜を形成し、

あるいは形成しないことは言うまでもない。

[0051] 前記第1の実施形態では、半導体装置の構成に直接を要とされない粘着シートを用いている点で、部品点数を削減する上では不利な点が存在することは否めないが、このような不要な部品を無くして前記第4の実施形態と同様に半導体装置を製造する方法を第4の実施形態の变形例として説明する。図27及び図28はそのような変形例の製造方法を示す断面図である。先ず、図27(a)のように、金属板101の裏面にレジストシート143を接着する。前記レジストシート143は、半田等の密着性が無い高熱性、耐酸性の高い材料で形成されており、図28(a)のように、最終的に形成される半導体装置の実装用電極が配設される箇所に対応する部分に開口143aが形成されている。そして、図27(b)のように、前記第4の実施形態と同様に前記金属板101をフルカットダイシングしてXY方向に延びる溝131Bを形成し、積目状の分割片133を形成する。このとき、図28(b)のように、各分割片133の一部が前記レジストシート143の開口143aに対位位置されるように、前記溝131Bを所要の寸法で形成する。また、この場合でも分割された各分割片133は、開口143aが形成されているも連結状態にあるレジストシート143によって一体状態に保持されている。

[0052] 以降の工程は、前記第4の実施形態と同様であり、図27(c)のように、ワグント材109によって半導体素子107を前記金属板101の表面に搭載し、その後、図27(d)のように、ボンディングワイヤ111で半導体素子107の電極と、半導体素子の外周に位置されるリーバッド部となる分割片133とを電気接続する。さらに、図27(e)のように、金属板101上に樹脂113をモールドまたは塗布して半導体素子107及びボンディングワイヤ111を封止するパッケージ樹脂113を形成する。その後、前記パッケージ樹脂113を切断し、さらに金属板101の裏面のレジストシート143を切断することで図々の半導体装置が形成される。そして、図27(f)のように、前記金属板101の裏面側の前記レジストシート143の開口143aから露呈されているリーバッド部105としての分割片133の裏面に半田ボンド137を接続する。このとき、レジストシート143は半田133の密着性が無いため、隣接する開口143aの分割片133が半田によって相互に短絡するようなことはなく、結果としてレジストシート143は、第1の実施形態におけるレジスト膜115と同様に機能することになる。この変形例では、金属板101をフルカットダイシングして分割したときの支持となるレジストシート143をそのまま半導体装置の裏面のレジスト膜として利用することが可能になり、部品が無駄になることはない。

[0053] ここで、前記第4の実施形態及びその変形

例では、半導体素子の電極が形成されている表面を上側にに向けて金属板に搭載し、ボンディングワイヤによって分割片に電気接続する構成例を示しているが、これらの構成において、第2の実施形態と同様に、半導体装置の表面にパッケージを形成しておき、このパッケージを金属板の分割片に接続するようにフェースダウンによって搭載する構成としてもよい。また、この場合には、第3の実施形態のように、ウエハ構成での半導体素子を金属板に搭載し、かつパッケージ樹脂により封止を行った後に、ウエハを切断して図々の半導体装置を形成するようにしてもよい。

[0054] 以上の各実施形態の半導体装置では、金属板を分割した分割片によってリーバッド部とダイバッド部を形成しているが、ダイバッド部に相当する領域の金属板、すなわち分割片を最終的に除去し、ダイバッド部をワグント材で構成するようにしてもよい。すなわち、これを第5の実施形態として説明する。図29～図32は第5の実施形態を説明するための図である。先ず、第1の実施形態の図4(a)、(b)の平面図、縦断面図に示したように、正方形をした金属板101にXY方向に延びる複数の凹溝131を形成して積目状の分割片133を形成する。しかる後、図29(a)。

(a)の平面図、縦断面図に示すように、前記金属板101の中央領域をプレス加工によって金属板101の裏面方向に曲げ変形し、前記中央領域に凹状部151を形成する。このとき、前記凹状部151の表面は前記金属板101の側面側においてそのまゝの状態で見られている分割片133の底面よりも低い位置まで曲げ形成される。

[0055] 次に、図30(a)、(b)の平面図、縦断面図のように、前記金属板の中央領域の凹状部151にワグント材109を用いて半導体素子107を搭載する。このとき、ワグント材109の高さを調整し、搭載された半導体素子107の裏面が凹状部151の底面より高い位置となるようにする。また、前記ワグント材109は銀ペースト等の耐湿性、耐酸性に優れ、しかもある程度の機械的な強度を有する材料で構成される。しかる上で、前記半導体素子107の電極107aと、周りに位置されている前記分割片133の裏面とをボンディングワイヤ111により電気接続する。次いで、図31(a)、(b)の平面図、縦断面図に示すように、前記金属板101の表面上に樹脂113をモールドし、あるいは塗布し、前記半導体素子107とボンディングワイヤ111を封止するパッケージ樹脂113を形成する。このとき、パッケージ樹脂113の一部は周りに位置されている前記分割片133と、その内面に位置される分割片133との凹溝131内にまで進入され、これらの分割片133は一体化される。

[0056] 次に、図32(a)、(b)の底面図、

縦断面図に示すように、前記金属板101を裏面側から前記凹溝131の底面側に達するまで平坦に研削する。この研削により、前記凹状部151を構成していた金属板101の中央領域が除去され、前記半導体素子107を金属板101に搭載しているワグント材109が露出される。これにより、半導体素子107はワグント材109によって搭載支持された状態となり、またワグント材109の前記凹溝151の前記分割片133が現れてリーバッド部105が構成されることになる。したがって、リーバッド部105を構成する分割片133の裏面側の研削量を調整し、当該分割片133の高さを低減することで、極めて薄型の半導体装置を構成することが可能となる。なお、この第5の実施形態では、ダイバッド部103は金属板の分割片133からワグント材109に置き換えられることになる。

[0057] 以上説明した第1ないし第5の実施形態およびこれらの変形例の半導体装置は、半導体素子として半導体集積回路を用いた半導体装置に本発明を適用した例であるが、本発明はダイオードやトランジスタ等の個別部品として構成することも可能である。例えば、第6の実施形態として、ダイオードに適用する場合には、図33(a)、(b)に平面図、断面図を示すように、図33(a)、(b)に平面図、断面図に示すように、一つの分割片133をダイバッド部103（あるいはワグント側リーバッド部）としてその表面上にダイオードチップ107Cを搭載し、隣接する他の一つの分割片133をアノード側リーバッド部105として前記ダイオードチップ107Cに対してボンディングワイヤ111で電気接続し、これらの分割片133及びダイオードチップ107C等をパッケージ樹脂113によって封止することで、個別ダイオードが構成される。また、図34(a)、(b)に平面図、断面図を示すように、複数の分割片133をダイバッド部103として各表面上にそれぞれダイオードチップ107Cを搭載し、これらのダイオードチップ107Cを各分割片133にそれぞれ隣接する分割片133にボンディングワイヤ111により電気接続した上で、各分割片133及びダイオードチップ107C等をパッケージ樹脂113により一体化して封止することで、複数のダイオードチップを搭載した半導体装置、すなわちダイオードアレイが構成されることとなる。なお、図示は省略するが、トランジスタやアレイを構成することも可能であり、この場合にはワグント材チップを搭載した一つの分割片がコレクタ側リーバッド部を兼ねたダイバッド部として構成され、他の二つの分割片がそれぞれベース、エミッタの各リーバッド部として構成されることになる。もちろん、境界効果トランジスタの場合には、ゲート、ソース、ドレインの各リーバッド部として構成されることになる。

[0058] 図35は個別ダイオードに本発明を適用した第6の実施形態の製造工程を示す図である。先ず、前



記第1の実施形態の図4と同様に、金属板101の表面にXY方向に延びる複数本の凹溝131を形成し、枠目状の分割片131を形成する。しかる上で、図35(a)のように、前記分割片133のうち、一つ置きに

分割片133のそれぞれの表面上にフロント材109によりダイオードチップ107Cを搭載する。このダイオードチップ107Cは基板がN型半導体で構成されており、ダイオードのカソードとして構成され、当該カソードが前記分割片133に対して同時に電気接続されることになる。次いで、図35(b)のように、前記ダイオードチップ107Cの表面に設けられている図外のフロント電極と、前記分割片133のそれぞれ隣の分割片133とをボンディングワイヤ111により電気接続する。次いで、前記金属板101の表面上に樹脂113をモールドし、あるいは塗布したバウナージ樹脂113によりダイオードチップ107C及びボンディングワイヤ111を封止する。このとき、バウナージ樹脂113の一部は前記凹溝131内にまで進入される。

【0059】次いで、図35(c)のように、前記金属板101を断面側から前記凹溝131の底面部が露出するまで平坦に研削し、あるいはエッチングする。これにより、各分割片133はそれぞれ分離された状態となり、かつその一方で前記バウナージ樹脂113により各分割片133は絶縁を保持した状態で一体化状態が保持される。次いで、図35(d)のように、前記バウナージ樹脂113を図外のダイシニングノードによって切断する。このとき、前記ダイバッド部103としての分割片133と、リードバッド部105としての分割片133を一つの組として、両分割片を含む単位で切断することにより、切断箇所を適宜に設定することで、図33に示したように、一つのダイオードチップを含む個別ダイオードとして形成することができ、あるいは図34に示したように、複数個のダイオードチップを含むダイオードアレイとして形成することが可能になる。

【0060】この第6の実施形態では、個別ダイオード、あるいは複数のダイオードチップを含む種々のダイオードアレイを形成する場合でも、金属板は規格化された単一のものを使用し、この金属板にダイオードチップを搭載し、バウナージ樹脂で封止した後に、最終的に切断する箇所を変更するだけで、その要求に応えることが可能である。したがって、異なる種類のダイオードアレイに対応して複数のリード部材を形成し、あるいはバウナージ樹脂用の異なるモールド金型を用意する必要がなく、製造工程を簡略化し、かつ半導体装置の低コスト化を図る上で有利なものとなる。

【0061】以上説明した第1ないし第6の実施形態とこれらの変形例は、本発明の代表的な実施形態を説明したものであり、各実施形態を適宜組み合わせることにより、さらに多様化された半導体装置とその製造方法を実現することが可能である。また、前記実施形態で説明し

た、各工程のそれぞれにおける手法についても、従来から提案されている種々の手法に置き換えることも可能であり、そのような置き換えを行った場合においても本発明により得られる利益が失われるものではない。

【0062】

【発明の効果】以上説明したように本発明の半導体装置では、導電板から複数の分割片を形成し、この分割片に対して半導体素子の電極を電気接続してリードバッド部を構成しているのので、半導体素子のサイズ、種類に応じてリードバッド部としての分割片を適宜に設定することで、異なるサイズ、種類の半導体素子に対して分割片を汎用的に使用してバウナージを構成することが可能になる。また、分割片の一部でダイバッド部を構成して半導体素子を搭載し、分割片の他の一部をリードバッド部としてボンディングワイヤにより電気接続した構成とし、あるいは半導体素子の電極に設けたバンパを分割片に対して電気接続してリードバッド部を構成することにより、半導体素子をフェースアップ、あるいはフェースダウンの状態で搭載でき、また、リードバッドをバウナージの周辺部に配置し、あるいは底面部に格子状に配置する等、同一の導電板を用いて異なるサイズ及び種類のリードレス構造の表面実装型の半導体装置を構成することが可能となる。

【0063】また、本発明の半導体装置の製造方法では、導電板に凹溝を形成して分割片を区画し、その分割片上に半導体素子を搭載し、かつ半導体素子と分割片とを電気接続し、しかる上で導電板の裏面側を除去して分割片を分離しているの、半導体素子の搭載、及び半導体素子と分割片との電気接続、さらにバウナージ樹脂工程をそれぞれ容易に行うことができる一方で、最終的に絶縁分離された複数の分割片で構成されるリードバッド部を有する半導体装置が製造できるので、部品点数や製造工数がいたずらに増大することがなく、製造工程を簡略化することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の半導体装置の一部を破断した斜視図である。

【図2】図1の半導体装置の内部構成の平面図と縦断面図である。

【図3】図1の半導体装置の実装状態の縦断面図である。

【図4】第1の実施形態の製造工程1の平面図と縦断面図である。

【図5】第1の実施形態の製造工程2の平面図と縦断面図である。

【図6】第1の実施形態の製造工程3の平面図と縦断面図である。

【図7】第1の実施形態の製造工程4の平面図と縦断面図である。

【図8】第1の実施形態の製造工程5の底面図と縦断面図である。

図である。

【図1】第1の実施形態の製造工程6の底面図と縦断面図である。

【図10】第1の実施形態の第1の変形例の製造途中での平面図と縦断面図である。

【図12】第1の実施形態の第2の変形例の製造途中での平面図と縦断面図である。

【図13】第1の実施形態の第3の変形例の製造途中での平面図と縦断面図である。

【図14】本発明の第2の実施形態の製造工程1の平面図と縦断面図である。

【図15】図14で用いる半導体素子の平面図である。

【図16】第2の実施形態の製造工程2の平面図と縦断面図である。

【図17】第2の実施形態の製造工程3の底面図と縦断面図である。

【図18】第2の実施形態の製造工程4の底面図と縦断面図である。

【図19】第3の実施形態の半導体ウェハと金属板の斜視図である。

【図20】第3の実施形態の製造工程の縦断面図である。

【図21】第3の実施形態の成形時の金属板の一部の斜視図である。

【図22】第3の実施形態の成形時の金属板における凹溝とスリットのパターンを説明するための平面図である。

【図23】第3の実施形態の成形時の製造工程の縦断面図である。

【図24】第4の実施形態の製造工程1の平面図と縦断面図である。

【図25】第4の実施形態の製造工程2の平面図と縦断面図である。

【図26】第4の実施形態の以降の製造工程の縦断面図である。

【図27】第4の実施形態の成形時の製造工程の縦断面図である。

【図28】第4の実施形態のレジストコートと清のパターンを説明するための底面図である。

【図29】第5の実施形態の製造工程1の平面図と縦断面図である。

面図である。

【図30】第5の実施形態の製造工程2の平面図と縦断面図である。

【図31】第5の実施形態の製造工程3の平面図と縦断面図である。

【図32】第5の実施形態の製造工程4の底面図と縦断面図である。

【図33】第6の実施形態の内部構成の平面図と縦断面図である。

【図34】第6の実施形態の変形例の内部構成の平面図と縦断面図である。

【図35】第6の実施形態の製造工程の縦断面図である。

【図36】第1の従来の半導体装置の断面図である。

【図37】第2の従来の半導体装置の断面図である。

【図38】第3の従来の半導体装置の断面図である。

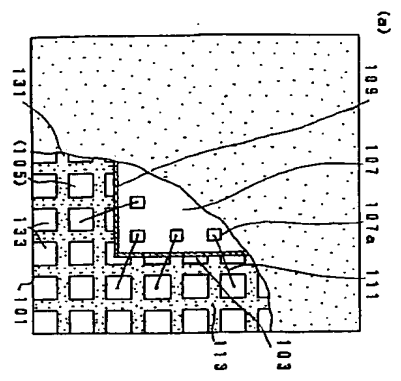
【符号の説明】

- 1, 1A, 2, 2A 半導体装置
- 101 金属板
- 103 ダイバッド部
- 105 リードバッド部
- 107 半導体素子
- 107C ダイオードチップ
- 109 フロント材
- 111 ボンディングワイヤ
- 113 バウナージ樹脂
- 115 レジスト膜
- 117 フロントコート
- 119 バンパ
- 121 実装基板
- 123 配線回路
- 125 半田
- 127 半田ボール
- 131, 131A 凹溝(リーフカットダイシング)
- 131B 溝(ワルカットダイシング)
- 133 分割片
- 135 樹脂
- 201 シリコンウェハ
- 203 半導体素子
- 205 バンパ

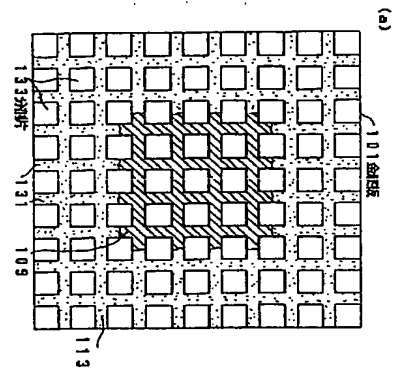




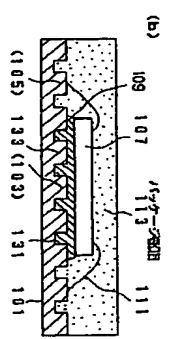
【図7】



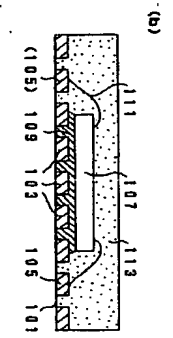
【図8】



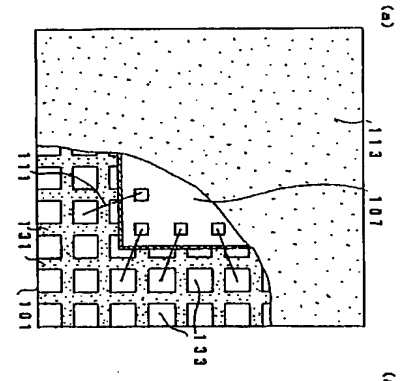
【図11】



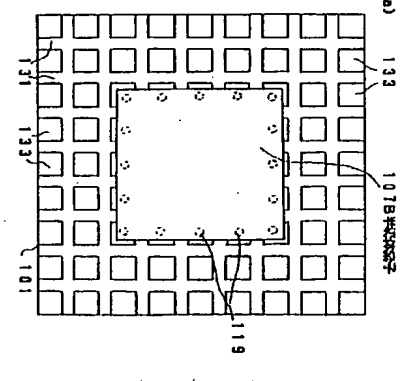
【図12】



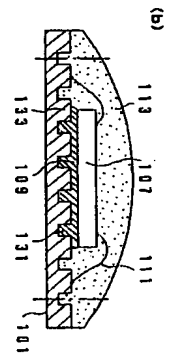
【図13】



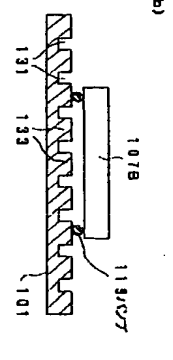
【図14】



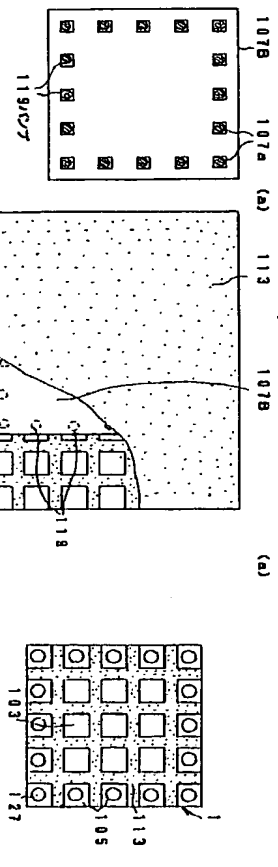
【図15】



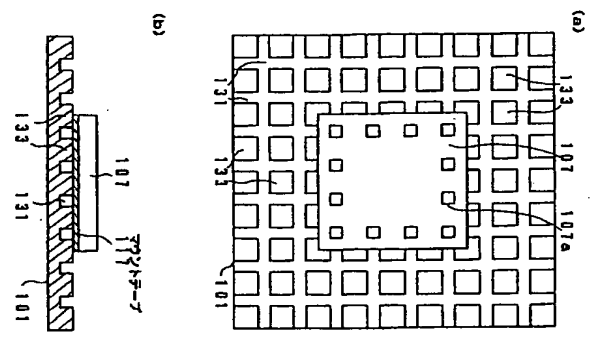
【図16】



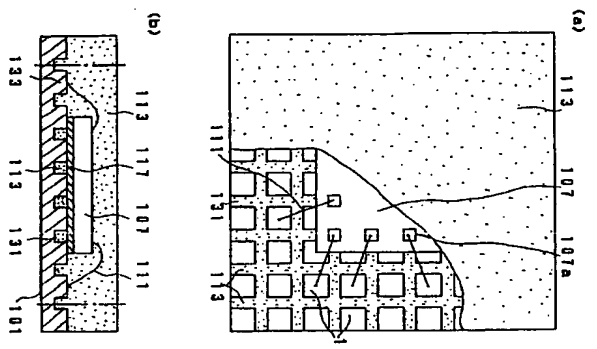
【図18】



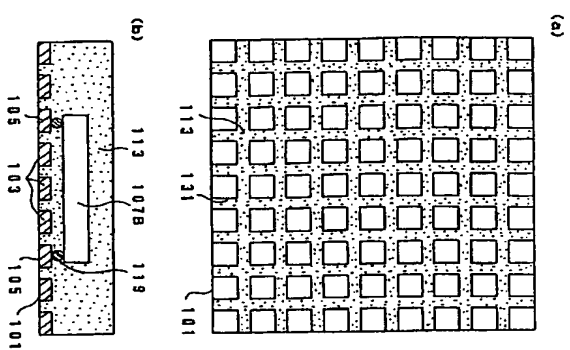
【図17】



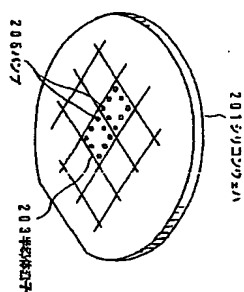
【図19】



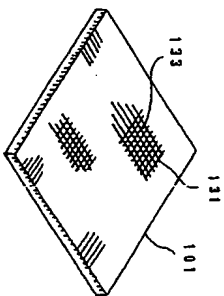
【図17】



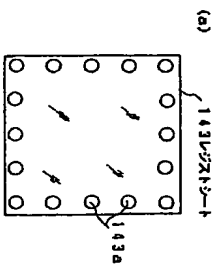
【図19】



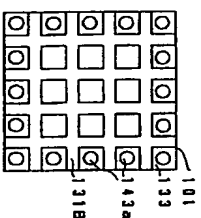
【図20】



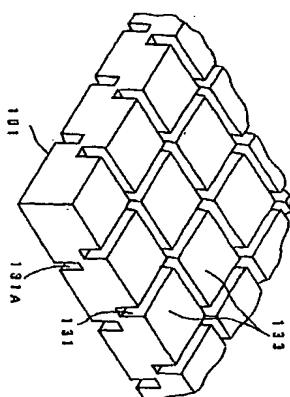
【図28】



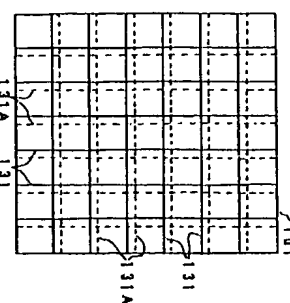
(b)



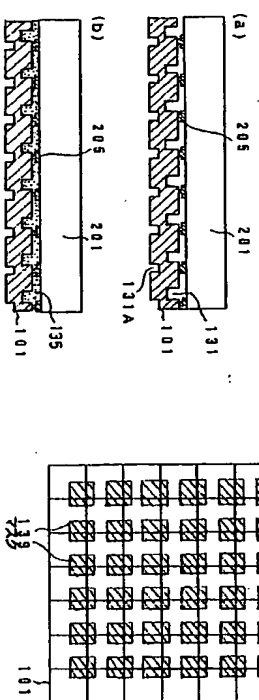
【図21】



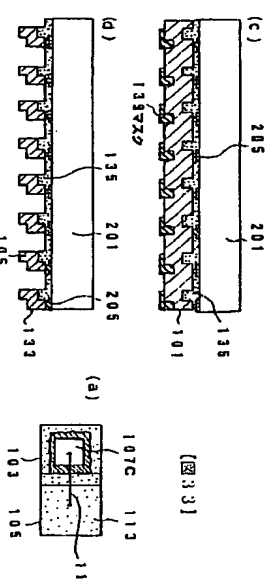
【図22】



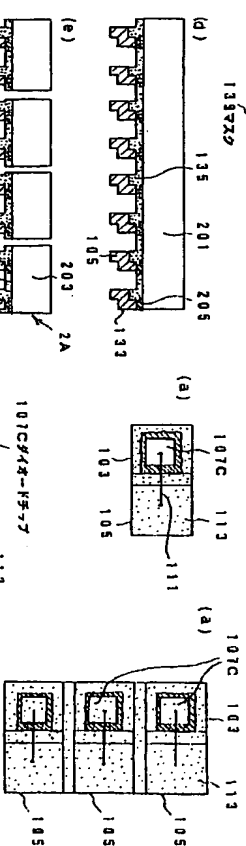
【図23】



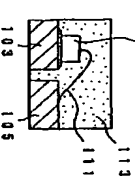
【図33】



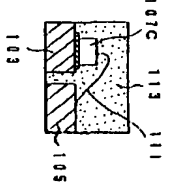
【図34】



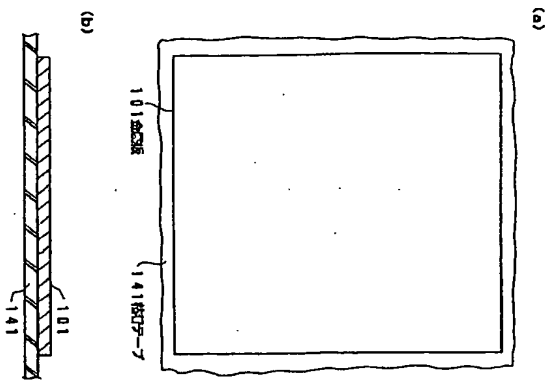
(b)



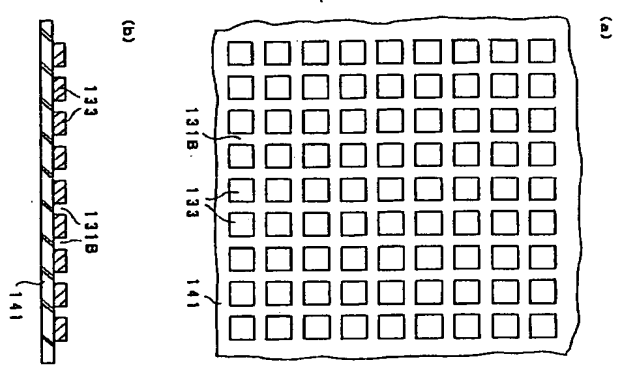
(b)



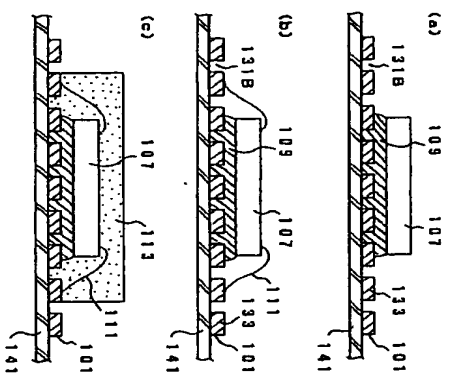
【図24】



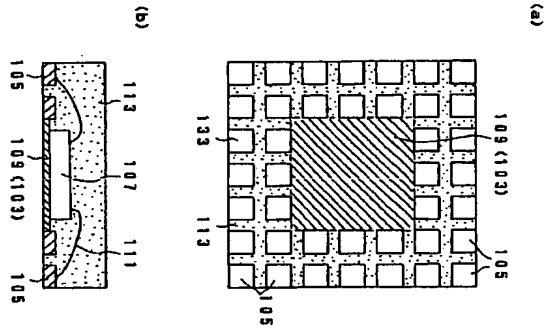
【図25】



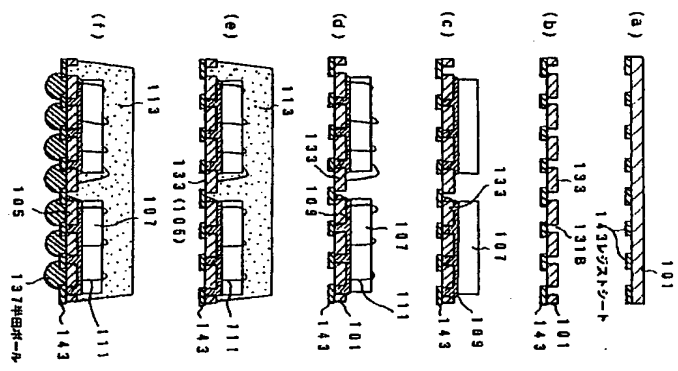
【図26】



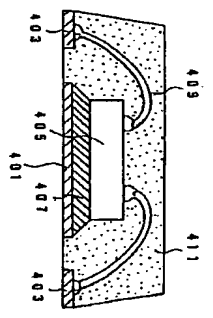
【図27】



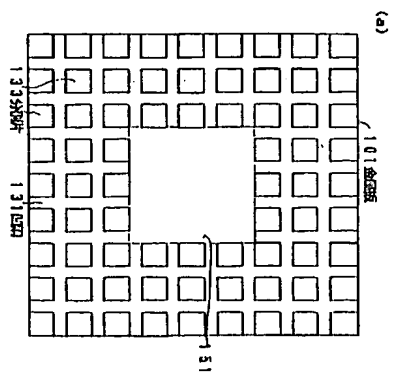
【図27】



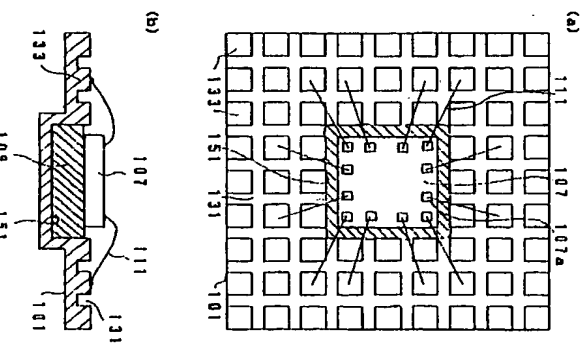
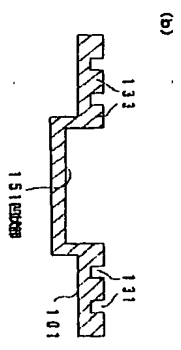
【図37】



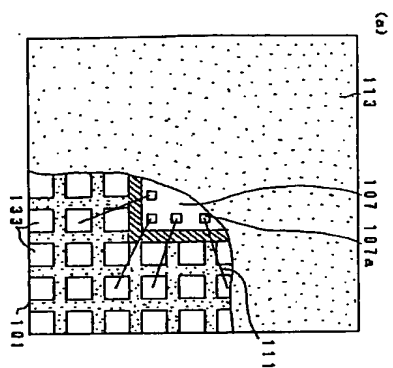
【図29】



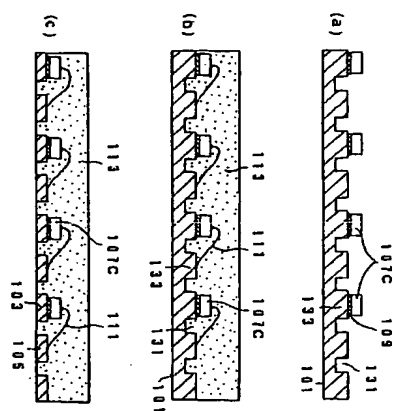
【図30】



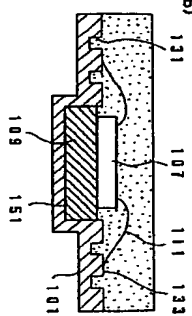
【図3.1】



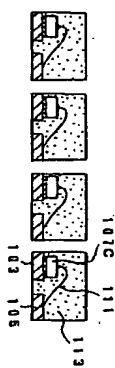
【図3.5】



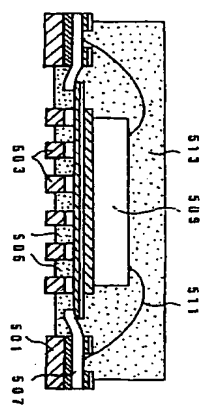
(b)



(d)



【図3.8】



【図3.6】

